

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Double-row address decoding and selection circuitry for an electrically erasable and programmable non-volatile memory device with redundancy, particularly for flash EEPROM devices.

Patent number: EP0658903
Publication date: 1995-06-21
Inventor: GOLLA CARLA MARIA (IT); OLIVO MARCO (IT)
Applicant: ST MICROELECTRONICS SRL (IT)
Classification:
 - International: G11C8/00; G11C16/06; G06F11/20
 - european: G11C29/00R6, G11C29/00R8L16F, G11C8/12, G11C16/08
Application number: EP19930830504 19931215
Priority number(s): EP19930830504 19931215

Also published as:

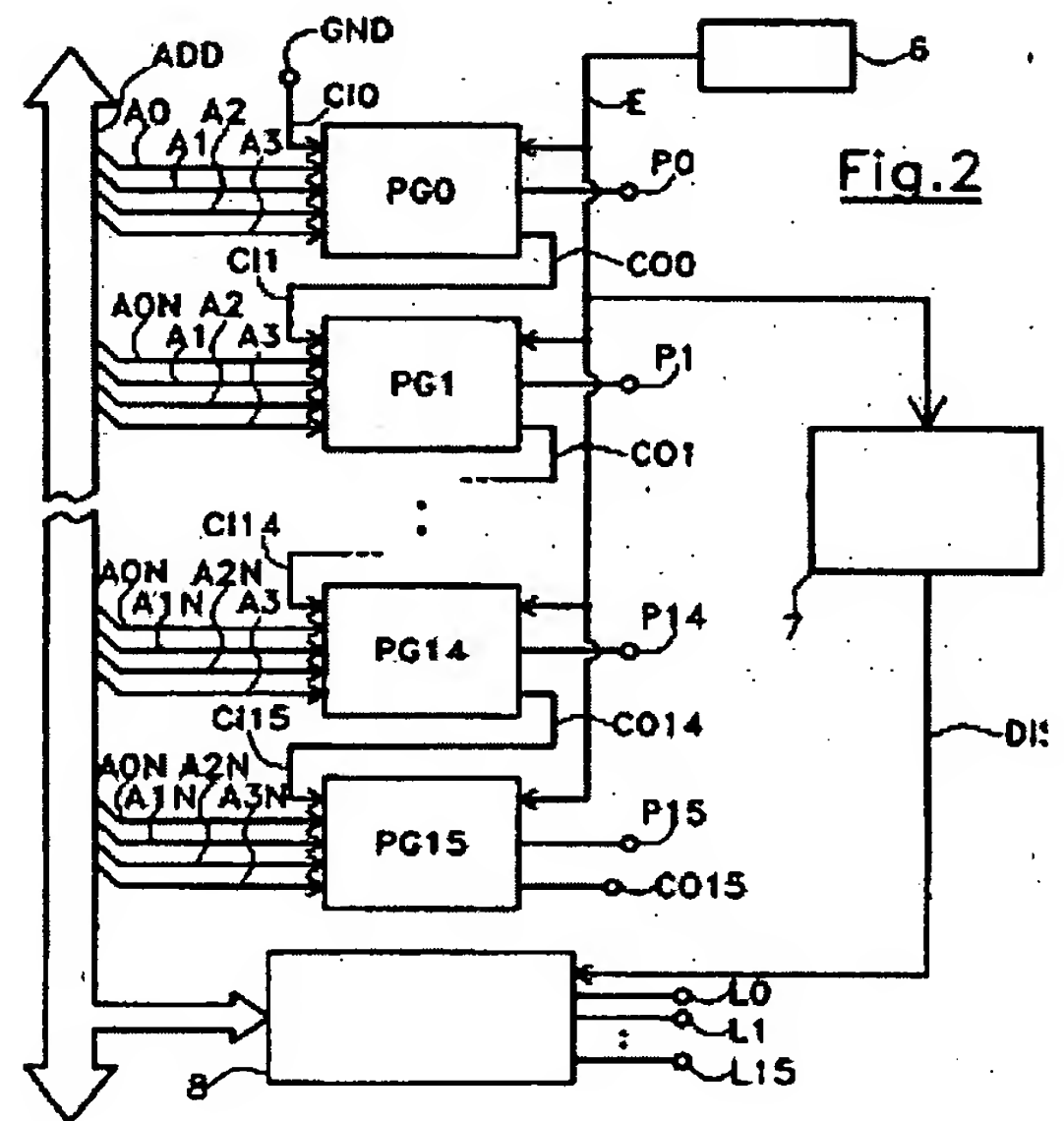
US5581509 (A)
 JP7201193 (A)
 EP0658903 (B)

Cited documents:

US4852066
 FR2569289
 EP0117903

Abstract of EP0658903

A plurality of identical circuit blocks (PG0-PG15) is supplied with address signals (A0-A3, A0N-A3N) and each one generating a respective selection signal (P0-P15) which is activated by a particular logic configuration of said address signals (A0-A3, A0N-A3N) for the selection of a particular row (WL0-WL15) of the matrix; each one of said circuit blocks (PG0-PG15) also generates a carry-out signal (C00-C015) which is supplied to a carry-in input (CI0-CI15) of a following circuit block (PG0-PG15) and is activated when the respective selection signal (P0-P15) is activated; a first circuit block (PG0) of said plurality of circuit blocks (PG0-PG15) has the respective carry-in input (CI0) connected to a reference voltage (GND); each of said circuit blocks (PG0-PG15) is also supplied with a control signal (E), which is activated by a control circuitry (6) of the memory device when, during a preprogramming operation preceding an electrical erasure of the memory device, a defective row (WL0-WL15) is addressed, to enable the activation of the respective selection signal (P0-P15) if the carry-out (C00-C014) signal supplying the respective carry-in input (CI1-CI15) is activated, so that two adjacent rows (WL0-WL15) can be simultaneously selected.



Data supplied from the esp@cenet database - Worldwide



⑮ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ Übersetzung der
europäischen Patentschrift

⑨⑦ EP 0 658 903 B 1

⑩ DE 693 24 694 T 2

⑤① Int. Cl.⁶:
G 11 C 8/00
G 11 C 16/06
G 06 F 11/20

- ②① Deutsches Aktenzeichen: 693 24 694.4
⑨⑥ Europäisches Aktenzeichen: 93 830 504.2
⑨⑥ Europäischer Anmeldetag: 15. 12. 93
⑨⑦ Erstveröffentlichung durch das EPA: 21. 6. 95
⑨⑦ Veröffentlichungstag
der Patenterteilung beim EPA: 28. 4. 99
④⑦ Veröffentlichungstag im Patentblatt: 7. 10. 99

⑦③ Patentinhaber:
STMicroelectronics S.r.l., Agrate Brianza,
Mailand/Milano, IT

⑦④ Vertreter:
Berendt und Kollegen, 81667 München

⑧④ Benannte Vertragsstaaten:
DE, FR, GB, IT

⑦② Erfinder:
Golla, Carla Maria, I-20099 Sesto San Giovanni
(Milano), IT; Olivo, Marco, I-24100 Bergamo, IT

⑤④ Doppelreihige Adressendekodierung- und Auswahlhaltung für eine elektrisch löschbare und programmierbare nichtflüchtige Speicheranordnung mit Redundanz, insbesondere für Flash-EEPROM Anordnungen

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

DE 693 24 694 T 2

DE 693 24 694 T 2

BERENDT, LEYH & HERING

Patentanwälte · European Patent and Trademark Attorneys

Dr. rer. nat. Dipl.-Chem. Thomas Berendt
Dr.-Ing. Hans Leyh
Dipl.-Ing. Hartmut Hering

Innere Wiener Straße 20
D-81667 München

Telefon: (089) 4 48 43 49
Facsimile / Fax: (089) 4 48 43 84
E-mail: H.Hering@IDpat.DE

EP 93 830 504.2-2210 / 0 658 903
STMicroelectronics S.r.l.

MM-24-P/EP

Die vorliegende Erfindung betrifft eine Doppel-Zeilenadressen-Decodierungs- und Auswahlhaltung für eine elektrisch löschbare und programmierbare nichtflüchtige Speichervorrichtung mit Redundanz, insbesondere für Flash-EEPROM-Vorrichtungen.

Bei der Herstellung von Halbleiterspeichern trifft man häufig auf Defekte, die eine begrenzte Anzahl von Speicherelementen in der Speichermatrix befallen. Der Grund für die hohe Wahrscheinlichkeit von Defekten dieses Typs besteht darin, daß in einer Halbleiterspeichervorrichtung der größte Teil des Chipbereichs durch die Speichermatrix besetzt ist; darüber hinaus ist es in der Speichermatrix und nicht in der peripheren Schaltung, daß die Eigenschaften des Herstellungsprozesses normalerweise bis zu Grenzen getrieben werden.

Zum Vermeiden, daß das Vorhandensein einer beschränkten Anzahl defekter Speicherelemente unter vielen Millionen das Wegwerfen des gesamten Chips erzwingt, und daher zum Erhöhen der Ergiebigkeit des Herstellungsprozesses, ist die Technik zum Sorgen für die Herstellung einer gewissen Anzahl zusätzlicher Speicherelemente bekannt, die gemeinhin "Redundanz-Speicherelemente" genannt werden und die

als Ersatz für diejenigen Elemente zu verwenden sind, die sich während eines Testens der Speichervorrichtung als defekt erweisen; die Auswahlhaltungen, mit welchen das integrierte Bauelement notwendigerweise versehen sein muß, und die den oben angegebenen funktionellen Ersatz eines defekten Speicherelements durch ein Redundanz-Speicherelement zulassen, sind als Ganzes mit dem Namen "Redundanzschaltung" bezeichnet, während die Gruppe aus Redundanz-Speicherelementen und -Schaltung kurz als "Redundanz" definiert ist.

Die Redundanzschaltung weist programmierbare nichtflüchtige Speicherregister auf, die geeignet sind, jene Adressenkonfigurationen entsprechend den defekten Speicherelementen zu speichern: solche Register werden einmal und insgesamt während des Testens der Speichervorrichtung programmiert und müssen die darin gespeicherten Informationen selbst bei Abwesenheit der Leistungsversorgung halten.

Bei praktischen Implementierungen einer Redundanz sind sowohl Zeilen ("Wortleitungen") als auch Spalten ("Bitleitungen") von Redundanz-Speicherelementen in der Speichermatrix vorgesehen; jede Redundanz-Wortleitung oder -Bitleitung ist einem jeweiligen nichtflüchtigen Speicherregister zugeordnet, wobei die Adresse einer defekten Wortleitung oder einer defekten Bitleitung so gespeichert wird, daß, wann immer die defekte Wortleitung oder die defekte Bitleitung adressiert wird, die entsprechende Redundanz-Wortleitung oder Redundanz-Bitleitung ausgewählt wird.

Insoweit es die Matrix-Wortleitungen betrifft, ist es erkannt worden, daß der häufigste Defekt in Kurzschlüssen zwischen benachbarten-Wortleitungen besteht: diese Situation wird auf einfache Weise während eines Testens erfaßt, weil dann, wenn die Auswahl von einer von zwei kurzgeschlossenen Wortleitungen versucht wird, das Potential einer solchen Wortleitung sich nicht auf den bestimmten Wert erhöhen kann, während sie durch den Kurzschluß mit dem Potential der benachbarten nicht ausgewählten Wortleitung verbunden ist. Wenn während eines Testens einer Matrix-Wortleitung gefunden wird, daß sie mit einer benachbarten kurzgeschlossen ist, müssen beide der zwei defekten Matrix-Wortleitungen durch zwei Redundanz-Wortleitungen ersetzt werden; von da an werden die zwei defekten Matrix-Wortleitungen nie mehr ausgewählt, und zwar weder während eines Programmierens noch während eines Lesens.

Die Implementierung einer Wortleitungs-Redundanz in elektrisch löschbaren programmieren Flash-ROM-Vorrichtungen (kurz Flash-EEPROMs) erlegt einige Probleme auf. Flash-EEPROM-Vorrichtungen sind dadurch gekennzeichnet, daß sie nicht nur elektrisch programmierbar, sondern auch elektrisch löscher sind; wie EPROM-Vorrichtungen werden sie auf einer Pro-Byte-Basis programmiert, was die ausgewählte Wortleitung auf eine hohe Spannung (typischerweise 12 V) erhöht; ein Löschen ist statt dessen eine Gesamtoperation, die an der gesamten Speichermatrix durchgeführt wird, oder wenigstens an Sektoren von ihr, und zwar durch Schalten der gemeinsamen Source-Leitung der Speichermatrix zur hohen Spannung, während alle Wortleitungen auf Erdpotential gehalten werden. Zum Verhindern, daß Speicherelemente, die bereits im nicht programmierten Zustand sind, überlöscht werden, mit der unannehmbaren Folge eines Erhaltens von Speicherelementen mit negativen Schwellenspannungen nach dem Löschen, ist es nötig, einen vorläufigen Programmierschritt bei allen Speicherelementen in der Speichermatrix auszuführen, oder in dem Matrixsektor, der zu löschen ist. Auf diese Weise werden alle Speicherelemente in einen gemeinsamen Startzustand versetzt, so daß alle Speicherelemente nach einem Löschen nahezu dieselbe Schwellenspannung haben. Ein solches vorläufiges Programmieren wird "Vor-Programmieren" oder "Vor-Konditionieren" genannt.

Ein Vor-Programmieren wird ähnlich zu einem normalen Programmieren auf einer Pro-Byte-Basis durchgeführt, und zwar unter einem sequentiellen Adressieren der Wortleitungen der Speichermatrix. Dies impliziert, daß dann, wenn defekte Wortleitungen, die durch Redundanz-Wortleitungen ersetzt worden sind, existieren, da dann, wenn solche defekten Wortleitungen adressiert werden, die Redundanzschaltung ein Deselektionssignal erzeugt, das verhindert, daß die defekten Wortleitungen ausgewählt werden, die mit ihnen verbundenen Speicherelemente niemals vorprogrammiert werden können. Andererseits werden deshalb, weil ein Löschen nicht die Auswahl der Wortleitungen erfordert, mit defekten Wortleitungen verbundene Speicherelemente einem Löschen unterzogen. Dies bedeutet, daß dann, wenn der herkömmliche Ansatz der Wortleitungs-Redundanz bei einer Flash-EEPROM-Vorrichtung verwendet wird, die mit defekten Wortleitungen verbundenen Speicherelemente dazu bestimmt sind, mehr und mehr negative Schwellenspannungen zu bekommen.

Zum Überwinden eines solchen Problems sorgt der bei Flash-EEPROMs verwendete Ansatz der Wortleitungs-Redundanz für die Verhinderung des Deselektionssignals für eine defekte Wortleitung, das durch die Redundanzschaltung erzeugt wird, wenn während eines Vor-Programmierens eine defekte Wortleitung adressiert wird: auf diese Weise können dann, wenn während eines Vor-Programmierens eine defekte Wortleitung adressiert wird, die mit ihr verbundenen Speicherelemente effektiv programmiert werden.

Dies erfordert jedoch nicht nur, daß die aktuell adressierte defekte Wortleitung effektiv ausgewählt wird, sondern auch die Auswahl einer benachbarten Wortleitung: da es in der Tat angenommen wird, daß die defekte Wortleitung mit einer benachbarten Wortleitung kurzgeschlossen ist, wenn die benachbarte Wortleitung nicht ausgewählt ist und ihr Potential auf Erdpotential gehalten ist, kann sich das Potential der adressierten defekten Wortleitung nicht auf den bestimmten Wert erhöhen, der für das Programmieren der Speicherelemente nötig ist (12 V): anders ausgedrückt müssen zwei benachbarte Wortleitungen, die miteinander kurzgeschlossen sind, während eines Vor-Programmierens gleichzeitig ausgewählt sein.

Dies Erfordernis ist verantwortlich für eine signifikante Erhöhung der Komplexität der Wortleitungs-Adressendecodierungs- und -Auswahlschaltung, was ein Erhöhen der gesamten Chipgröße bedeutet.

Angesichts des beschriebenen Standes der Technik ist es die Aufgabe der vorliegenden Erfindung, eine Zeilenadressen-Decodierungs- und -Auswahlschaltung zu realisieren, die die gleichzeitige Auswahl zweier benachbarter defekter Wortleitungen während der Vor-Programmierungsphase zuläßt, und zwar mit dem minimalen Erhöhen der gesamten Chipgröße.

Gemäß der vorliegenden Erfindung wird eine solche Aufgabe mittels einer Zeilenadressen-Decodierungs- und -Auswahlschaltung für eine elektrisch löschbare und programmierbare nichtflüchtige Speichervorrichtung mit Redundanz gelöst, die eine Matrix aus Speicherelementen aufweist, die an der Schnittstelle von Spalten und Zeilen der Matrix angeordnet sind, wobei die Schaltung folgendes aufweist: eine Vielzahl identischer Schaltungsblöcke, denen Adressensignale zugeführt werden, und von denen jeder ein jeweiliges Auswahlsignal erzeugt, das durch eine bestimmte logische Konfiguration der Adressensignale für die Auswahl einer bestimmten Zeile

der Matrix aktiviert wird, dadurch gekennzeichnet, daß jeder der Schaltungsblöcke auch ein Übertragsausgabesignal erzeugt, das einem Übertragseingabeeingang eines folgenden Schaltungsblocks zugeführt wird und dann aktiviert wird, wenn das jeweilige Auswahlsignal aktiviert wird, wobei ein erster Schaltungsblock der Vielzahl von Schaltungsblöcken den jeweiligen Übertragseingabeeingang mit einer Referenzspannung verbunden hat, wobei jedem der Schaltungsblöcke auch ein Steuersignal zugeführt wird, das durch eine Steuerschaltung der Speichervorrichtung aktiviert wird, wenn während einer Vor-Programmierungsoperation, die einem elektrischen Löschen der Speichervorrichtung vorangeht, eine defekte Zeile adressiert wird, um die Aktivierung des folgenden Schaltungsblocks zu ermöglichen, wenn sein Übertragseingabeeingang aktiviert ist, so daß zwei benachbarte Zeilen gleichzeitig ausgewählt werden.

Die Zeilenadressen-Decodierungs- und -Auswahlschaltung gemäß der vorliegenden Erfindung läßt die gleichzeitige Auswahl zweier benachbarter defekter Zeilen (Wortleitungen) während der Vor-Programmierungsphase zu. Weiterhin ist sie deshalb, weil sie aus einer Vielzahl identischer Schaltungsblöcke ausgebildet ist, sehr einfach, und sie kann physikalisch mit einem kompakten Layout realisiert werden. Die Chipgröße wird daher reduziert.

Gemäß einem bevorzugten Ausführungsbeispiel der Erfindung sind die Zeilen in der Matrix in Paketen miteinander gruppiert, die Vielzahl von Schaltungsblöcken stellt eine Decodierungs- und Auswahlschaltung eines ersten Pegels dar, der Zeilenadressensignale eines ersten Pegels zugeführt werden und die eine Auswahleinrichtung des ersten Pegels für die Auswahl einer bestimmten Zeile innerhalb jedes Pakets antreibt, und die Doppel-Zeilenadressen-Decodierungs- und -Auswahlschaltung weist weiterhin eine Decodierungs- und Auswahlschaltung eines zweiten Pegels auf, der Zeilenadressensignale eines zweiten Pegels zugeführt werden und die Auswahlsignale eines zweiten Pegels für die Auswahl eines bestimmten Pakets von Zeilen erzeugt.

Die Merkmale der vorliegenden Erfindung werden durch die folgende detaillierte Beschreibung ihres bevorzugten Ausführungsbeispiels klarer, das als nicht beschränkendes Beispiel in den beigefügten Zeichnungen dargestellt ist, wobei:

- Fig. 1 ein elektrisches schematisches Diagramm eines Teils einer Matrix von Speicherelementen einer elektrisch löschbaren und programmierbaren Halbleiterspeichervorrichtung ist;
- Fig. 2 ein schematisches Blockdiagramm einer Doppel-Zeilenadressen-Decodierungs- und -Auswahlschaltung gemäß dem bevorzugten Ausführungsbeispiel der Erfindung ist;
- Fig. 3 ein elektrisches schematisches Diagramm eines Blocks der Schaltung der Fig. 2 ist.

Wie es in Fig. 1 gezeigt ist, weist eine elektrisch löschbare und programmierbare Halbleiterspeichervorrichtung, beispielsweise vom Flash-EEPROM-Typ, eine Vielzahl von Speicherelementen TF auf, die durch MOS-Transistoren mit gestapeltem Gate mit einem Steuer-Gate und einem schwebenden Gate dargestellt sind, die an der Schnittstelle von Spalten oder Bitleitungen BL0, BL1, etc. mit Zeilen oder Wortleitungen WL0-WL15 angeordnet sind, um eine Matrix aus Speicherelementen TF auszubilden. Jedes einzelne der Speicherelemente TF ist durch seinen Drain mit einer jeweiligen Bitleitung BL0, BL1, etc. verbunden, und durch sein Steuer-Gate mit einer jeweiligen Wortleitung WL0-WL15. Die Source-Anschlüsse aller Speicherelemente TF sind an eine gemeinsame Source-Leitung 2 angeschlossen.

Eine an sich bekannte Zeilenadressen-Decodierungs- und -Auswahlarchitektur, wie sie in Fig. 1 gezeigt ist, sorgt für das Vorhandensein von Gruppen oder "Paketen" WLP0-WLP15 einer gleichen Anzahl von Zeilen- (im folgenden "Wortleitungen" genannt), wobei es bei dem gezeigten Beispiel sechzehn Pakete WLP0-WLP15 aus jeweils sechzehn Wortleitungen WL0-WL15 für insgesamt 256 Wortleitungen gibt. Jede Wortleitung WL0-WL15 in jedem Paket WLP0-WLP15 ist an einem Ende mit einem Treiberinverter 1 verbunden.

Auswahlsignale eines zweiten Pegels L0-L15 lassen die Auswahl eines Pakets unter allen Paketen WLP0-WLP15 zu; solche Signale L0-L15 werden durch eine an sich bekannte Zeilenadressen-Decodierungs- und -Auswahlschaltung eines zweiten Pegels 8 (Fig. 2) erzeugt, der eine erste Untergruppe der gesamten Gruppe von Adressensignale zugeführt wird, die in der Zeichnung durch den Adressenbus ADD dargestellt sind; bei dem gezeigten Beispiel sind vier Adressensignale zum Erzeugen

der sechzehn Signale L0-L15 nötig. Zum Auswählen eines gegebenen Paketes WLP0-WLP15 von Wortleitungen, läßt uns sagen WLP0, wird das jeweilige Auswahlsignal des zweiten Pegels L0 zum niedrigen Logikpegel getrieben, während alle anderen Signale L1-L15 hoch gehalten werden.

Auswahlsignale eines ersten Pegels P0-P15 treiben jeweilige Auswahltransistoren TS, die mit dem Eingang der Treiberinverter 1 verbunden sind, und lassen die Auswahl einer gegebenen Wortleitung unter allen Wortleitungen WL0-WL15 eines gegebenen Pakets WLP0-WLP15 zu: wenn beispielsweise die Wortleitung WL0 im Paket WLP0 auszuwählen ist, wird L0 auf niedrig getrieben und wird P0 auf hoch getrieben, so daß eine logische "0" zum Eingang des jeweiligen Treiberinverters 1 zugeführt wird: das Potential der Wortleitung WL0 wird somit auf den Wert der Spannungsversorgung der Inverter 1 erhöht; diese Spannung kann zwischen der normalen Spannungsversorgung von 5 V (im Lesezustand) und einer hohen Programmierversorgung von etwa 12 V (im Programmierzustand) umgeschaltet werden; alle anderen Signale P1-P15 werden niedrig gehalten, so daß der jeweilige Auswahltransistor TS im Aus-Zustand gehalten wird; der Eingang der Treiberinverter 1 wird daher schwebend gelassen; da jedoch die Treiberinverter 1 mit einem internen Pull-Up zur Spannungsversorgung der Inverter 1 versehen sind, wird das Potential der nicht ausgewählten Wortleitungen WL1-WL15 auf niedrig gehalten.

Wie es in Fig. 2 gezeigt ist, werden die Auswahlsignale des ersten Pegels P0-P15 durch eine Zeilenadressen-Decodierungsschaltung eines ersten Pegels erzeugt, die eine Anzahl identischer Blöcke PG0-PG15 aufweist, von welchen jeder ein jeweiliges Signal P0-P15 erzeugt. Die Schaltung führt ein Decodieren einer zweiten Untergruppe der gesamten Gruppe von Adressensignalen ADD durch: jedem Block PG0-PG15 wird eine andere Kombination von Signalen zugeführt, die vom Adressenbus ADD genommen werden, wobei jedes Signal ein Adressensignal A0-A3 oder sein logisches Komplement A0N-A3N darstellt. Jedem Block PG0-PG15 wird auch ein Übertragseingabesignal CI0-CI15 zugeführt, das mit einem Übertragsausgabesignal CO0-CO15 eines vorangehenden Blocks verbunden ist, oder in dem Fall des ersten Blocks PG0 mit einer Erdspannungsleitung GND verbunden ist. Das Übertragsausgabesignal CO15 des sechzehnten Blocks PG15 wird statt dessen schwebend gelassen. Allen Blöcken PG0-PG15 wird weiterhin ein gemeinsames Signal E zugeführt, das durch eine Steuerschaltung 6 aktiviert wird, die intern von der Speichervorrichtung ist, wie es im folgenden erklärt wird.

Wie es in Fig. 3 gezeigt ist, weist jeder Block PG0-PG15 ein NOR-Gatter mit vier Eingängen 3 auf, dem die jeweilige Kombination von Adressensignalen A0, A0N-A3, A3N zugeführt wird; eine Ausgabe des NOR-Gatters 3 bildet sowohl das Übertragsgangabesignal CO0-CO15 des Blocks als auch eine erste Eingabe eines ODER-Gatters mit zwei Eingängen 5, dessen zweiter Eingang durch ein UND-Gatter 4 versorgt wird, das einen ersten Eingang hat, dem das Signal E zugeführt wird, und einen zweiten Eingang, dem ein jeweiliges Übertragseingabesignal CI0-CI15 zugeführt wird; das ODER-Gatter 5 erzeugt eines der Signale P0-P15.

Die Speichervorrichtung ist auch mit einer Redundanzschaltung 7 (Fig. 2) für die Auswahl von Redundanz-Wortleitungen als Ersatz für defekte Wortleitungen versehen. Die Redundanzschaltung 7 versorgt die Zeilenadressen-Decodierungs- und -Auswahlschaltung des zweiten Pegels 8 mit einem Signal DIS, das dann aktiviert wird, wenn die Speichervorrichtung im normalen Lese- oder Programmierzustand betrieben wird und eine defekte Wortleitung adressiert ist. Der Redundanzschaltung 7 wird weiterhin durch die Steuerschaltung 6 das Signal E zugeführt.

Wenn beispielsweise während eines Testens der Wortleitung WL0 des Pakets WLP1 gefunden wird, daß sie mit der benachbarten Wortleitung WL1 desselben Pakets WLP1 kurzgeschlossen ist, werden die zwei Wortleitungen WL0 und WL1 des Pakets WLP1 durch zwei Redundanz-Wortleitungen (nicht gezeigt) ersetzt, wobei die Adressenkonfiguration der zwei kurzgeschlossenen Wortleitungen in zwei nichtflüchtige Speicherregister programmiert wird, die in der Redundanzschaltung 7 enthalten sind und zu den zwei Redundanz-Wortleitungen gehören. Von da an wird unter der Voraussetzung, daß die Speichervorrichtung entweder in normalen Lese- oder Programmierzuständen betrieben wird, jeder Versuch zum Adressieren einer der zwei kurzgeschlossenen Wortleitungen WL0, WL1 des Pakets WLP1 durch die Redundanzschaltung 7 erkannt; dies wird verhindern, daß die adressierte defekte Wortleitung ausgewählt wird, und zwar durch Aktivieren des Signals DIS, das die Zeilenadressen-Decodierungs- und -Auswahlschaltung des zweiten Pegels 8 versorgt, um zu verhindern, daß die Auswahlssignale des zweiten Pegels L0-L15 aktiviert werden, und wird statt dessen die Auswahl der entsprechenden Redundanz-Wortleitung ermöglichen. Auf diese Weise werden Daten weder von den Speicherelementen TF der defekten Wortleitungen WL0, WL1 gelesen, noch in sie programmiert, sondern

sie werden statt dessen von den Speicherelementen TF der entsprechenden Redundanz-Wortleitungen gelesen oder in sie programmiert.

Wenn, im Unterschied dazu, die Speichervorrichtung gelöscht werden muß, müssen alle Speicherelemente TF einschließlich der Speicherelemente TF, die zu den defekten Wortleitungen WL0 und WL1 des Pakets WLP1 gehören, vor-programmiert werden. Diese Operation kann extern durch eine Mikrosteuerung gesteuert werden, oder intern durch die Steuerschaltung 6 der Speichervorrichtung: im ersten Fall muß die Mikrosteuerung die Speichervorrichtung in den Löschmodus versetzen und dann sequentiell der Speichervorrichtung alle möglichen Adressenkonfigurationen zuführen; im zweiten Fall muß die Mikrosteuerung nur die Speichervorrichtung in den Löschmodus versetzen: die interne Steuerschaltung 6 wird die Vor-Programmierungsoperation durch internes Erzeugen aller möglichen Adressenkonfigurationen ausführen.

In beiden Fällen hält die interne Steuerschaltung 6, solange nicht defekte Wortleitungen adressiert werden, das Signal E auf niedrig, so daß in jedem Block PG0-PG15 der zweite Eingang des NOR-Gatters 5 auf niedrig gehalten wird, und zwar unabhängig vom logischen Zustand der jeweiligen Übertragseingangssignale CI0-CI15; dies veranlaßt, daß nur eines der durch jeden der Blöcke PG0-Pg15 erzeugten Signale P0-P15 zu einer Zeit aktiviert wird, zu welcher die exakte Konfiguration der Adressensignale A0, A0N-A3, A3N zu dem jeweiligen Block zugeführt wird.

Wenn jedoch die erste defekte Wortleitung adressiert wird, und zwar in unserem Beispiel WL0 in WLP1, wird das Signal E durch die Steuerschaltung 6 aktiviert, um zu verhindern, daß das durch die Redundanzschaltung 7 erzeugte Signal DIS aktiviert wird: auf diese Weise kann das Auswahlsignal des zweiten Pegels L1 auf niedrig getrieben werden. Aufgrund der Aktivierung des Signals E hängt in jedem Block PG0-PG15 der logische Pegel des Signals P0-P15 nicht nur von der aktuell zur Speichervorrichtung zugeführten Adressenkonfiguration ab, sondern auch vom logischen Zustand des zum Block zugeführten Übertragseingabesignals CI0-CI15, d.h. vom logischen Zustand des Übertragsausgabesignals CO0-CO15 des vorangehenden Blocks: in unserem Beispiel gilt dann, wenn das Wortleitungspaket WLP1 adressiert wird und $A0=A1=A2=A3="0"$ gilt, daß die Ausgabe CO0 des NOR-Gatters 3 im Block PG0 eine logische "1" ist, daß P0 auf hoch getrieben wird und dazu führt, daß die logische "0", die auf L1 vorhanden ist, zum Eingang des Treiberinverters 1

übertragen wird; dies wiederum stellt die hohe Programmierspannung auf der ausgewählten Wortleitung WL0 ein; da das Signal CO0 auch das Übertragseingabesignal CI1 des folgenden Blocks PG1 darstellt, und da das Signal E aktiviert ist, ist der Eingang des ODER-Gatters 5 des Blocks PG1 selbst dann eine logische "1", wenn die aktuelle Konfiguration der Adressenbits A0N, A1-A3 den Ausgang des NOR-Gatters 3 von PG1 nicht aktiviert; auf diese Weise wird auch P1 auf hoch getrieben, und die defekte Wortleitung WL von WLP1 wird auch an die hohe Programmierspannung angeschlossen. Als Ergebnis veranlaßt ein Adressieren der defekten Wortleitung WL0 in WLP1, daß die kurzgeschlossene Wortleitung WL1 gleichzeitig ausgewählt wird.

Es sollte beachtet werden, daß die Doppel-Zeilenadressen-Decodierungs- und Auswahl-schaltung gemäß diesem Ausführungsbeispiel der Erfindung nicht zuläßt, Speichervorrichtungen-Chips zu reparieren, in welchen die letzte Wortleitung WL15 in einem gegebenen Paket WLP0-WLP15 mit der ersten Wortleitung WL0 im nächsten benachbarten Paket kurzgeschlossen ist. Dies ist jedoch kein großer Nachteil, da die Wahrscheinlichkeit, einen Kurzschluß zwischen solchen zwei Wortleitungen zu haben, durch das Reziproke der Gesamtanzahl von Wortleitungen in jedem Paket WLP0-WLP15 gegeben ist, und daher nicht sehr hoch ist.

27.05.99

- 1 -

EP 93 830 504.2-2210

STMicroelectronics S.r.l.

Patentansprüche

1. Zeilenadressen-Decodierungs- und -Auswahlschaltung für eine elektrisch löschbare und programmierbare, nichtflüchtige Speichervorrichtung mit Redundanz, die eine Matrix aus Speicherelementen (TF) aufweist, die an der Schnittstelle von Spalten (BL0, BL1) und Zeilen (WL0-WL15) der Matrix angeordnet sind, wobei die Schaltung folgendes aufweist: eine Vielzahl identischer Schaltungsblöcke (PG0-PG15), denen Adressensignale (A0-A3, A0N-A3N) zugeführt werden, und von denen jeder ein jeweiliges Auswahlsignal (P0-P15) erzeugt, das durch eine bestimmte logische Konfiguration der Adressensignale (A0-A3, A0N-A3N) für die Auswahl einer bestimmten Zeile (WL0-WL15) der Matrix aktiviert wird, dadurch gekennzeichnet, daß jeder der Schaltungsblöcke (PG0-PG15) auch ein Übertragsausgabesignal (CO0-CO15) erzeugt, das einem Übertragseingabeeingang (CI0-CI15) eines folgenden Schaltungsblocks (PG0-PG15) zugeführt wird und dann aktiviert wird, wenn das jeweilige Auswahlsignal (P0-P15) aktiviert wird, wobei ein erster Schaltungsblock (PG0) der Vielzahl von Schaltungsblöcken (PG0-PG15) den jeweiligen Übertragseingabeeingang (CI0) mit einer Referenzspannung (GND) verbunden hat, wobei jedem der Schaltungsblöcke (PG0-PG15) auch ein Steuersignal (E) zugeführt wird, das durch eine Steuerschaltung (6) der Speichervorrichtung aktiviert wird, wenn während einer Vorprogrammierungsoperation, die einem elektrischen Löschen der

Speichervorrichtung vorangeht, eine defekte Zeile (WL0-WL15) adressiert wird, um die Aktivierung des jeweiligen Auswahlsignals (P0-P15) des folgenden Schaltungsblocks zu ermöglichen, wenn sein Übertragseingabeeingang (CI1-CI15) aktiviert ist, so daß zwei benachbarte Zeilen (WL0-WL15) gleichzeitig ausgewählt werden.

2. Zeilenadressen-Decodierungs- und -Auswahlschaltung nach Anspruch 1, wobei die Zeilen (WL0-WL15) in der Matrix in Paketen (WLP0-WLP15) miteinander gruppiert sind, dadurch gekennzeichnet, daß die Vielzahl von Schaltungsblöcken (PG0-PG15) eine Decodierschaltung für Zeilenadressen eines ersten Pegels darstellt, der Zeilenadressensignale eines ersten Pegels (A0-A3, A0N-A3N) zugeführt wird und die eine Auswahleinrichtung für die Auswahl einer bestimmten Zeile (WL0-WL15) innerhalb jedes Pakets (WLP0-WLP15) treibt, und dadurch, daß sie weiterhin eine Decodierungs- und Auswahlschaltung für Zeilenadressen eines zweiten Pegels (8) aufweist, der Zeilenadressensignale eines zweiten Pegels zugeführt werden und die Auswahlsignale eines zweiten Pegels (L0-L15) für die Auswahl eines bestimmten Pakets (WLP0-WLP15) erzeugt.
3. Zeilenadressen-Decodierungs- und -Auswahlschaltung nach Anspruch 2, dadurch gekennzeichnet, daß jeder der Schaltungsblöcke (PG0-PG15) ein erstes logisches Gatter (3) aufweist, dem eine jeweilige Kombination von Signalen der Zeilenadressensignale eines ersten Pegels (A0-A3, A0N-A3N) zugeführt wird, wobei die Ausgabe des ersten logischen Gatters (3) aktiviert wird, wenn die Kombination von Signalen in einem bestimmten logischen Zustand ist, und einem ersten Eingang eines zweiten logischen Gatters (5) zugeführt wird, dessen zweitem Eingang die Ausgabe eines dritten logischen Gatters (4) zugeführt wird, das aktiviert wird, wenn sowohl das Steuersignal (E) als auch

27.05.99

- 3 -

das jeweilige Übertragseingabesignal (CI0-CI15) aktiviert sind, wobei die Ausgabe des zweiten logischen Gatters (5) das Auswahlsignal (P0-P15) des Schaltungsblocks (PG0-PG15) darstellt, wobei die Ausgabe des ersten logischen Gatters (3) auch das Übertragsausgabesignal (CO0-CO15) des Schaltungsblocks (PG0-PG15) darstellt.

4. Zeilenadressen-Decodierungs- und -Auswahlschaltung nach Anspruch 2, dadurch gekennzeichnet, daß der Decodierungs- und Auswahlschaltung für Zeilenadressen eines zweiten Pegels (8) ein Sperrsignal (DIS) zugeführt wird, das durch eine Redundanzschaltung (7) der Speichervorrichtung aktiviert wird, wenn gegenwärtig eine defekte Zeile adressiert wird, um die Aktivierung der Auswahlsignale eines zweiten Pegels (L0-L15) zu verhindern, wobei der Redundanzschaltung (7) das Steuersignal (E) zugeführt wird, was dann, wenn es aktiviert ist, die Aktivierung des Sperrsignals (DIS) verhindert.

2/2

